

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EP0. All rts. reserv.

14162852

Basic Patent (No,Kind,Date): JP 10012605 A2 19980116 <No. of Patents: 002

>

**FABRICATION OF SEMICONDUCTOR DEVICE (English)**

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): SHINOHARA MASAhide

IPC: \*H01L-021/312; H01L-021/3065; H01L-021/306; H01L-021/768

CA Abstract No: \*128(08)096511C; 128(08)096511C

Derwent WPI Acc No: \*C 98-136468; C 98-136468

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 10012605	A2	19980116	JP 96164078	A	19960625	(BASIC)
JP 3009032	B2	20000214	JP 96164078	A	19960625	

Priority Data (No,Kind,Date):

JP 96164078 A 19960625

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

05729505    \*\*Image available\*\*

FABRICATION OF SEMICONDUCTOR DEVICE

PUB. NO.:        10-012605 [JP 10012605 A]

PUBLISHED:      January 16, 1998 (19980116)

INVENTOR(s):    SHINOHARA MASAHIDE

APPLICANT(s):   NEC CORP [000423] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      08-164078 [JP 96164078]

FILED:          June 25, 1996 (19960625)

INTL CLASS:     [6] H01L-021/312; H01L-021/3065; H01L-021/306; H01L-021/768

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components); 14.2 (ORGANIC  
CHEMISTRY -- High Polymer Molecular Compounds)

JAPIO KEYWORD: R004 (PLASMA)

ABSTRACT

PROBLEM TO BE SOLVED: To provide a fabrication method of a semiconductor device capable of preventing adhesion between a polyimide film and molded resin from deteriorating and of suppressing deterioration of bonding shear strength.

SOLUTION: After a cover film 14 is etched, a deposit 18 on an electrode pad 13 and a damage layer 19 upon etching on a polyimide film 15 are rendered to an ashing processing (a processing striking the surface with oxygen plasma) and are partly removed. The polyimide is rendered to a wet processing with a non-etching solution. Hereby, damage of the polyimide film 15 due to etching is recovered, and the deposit 18 on the pad 13 is effectually removed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-12605

(43) 公開日 平成10年(1998) 1月16日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/312		H 0 1 L 21/312	N
	21/3065		21/302	N
	21/306		21/306	E
	21/768		21/90	S

審査請求 有 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平8-164078

(22) 出願日 平成 8 年(1996) 6 月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 篠原 正英

東京都港区芝五丁目7番1号 日本電気株式会社内

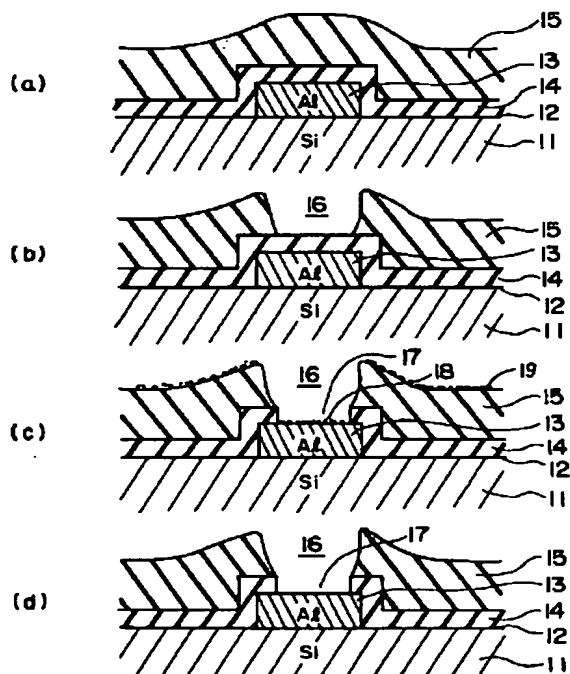
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 ポリイミド膜とモールド樹脂との密着性の低下を防止でき、ボンディング・シェア強度の低下を軽減することができる半導体装置の製造方法を提供する。

【解決手段】 カバー膜14のエッチング後に、電極パッド13上に堆積したデポ物18およびポリイミド膜15上のエッチング時ダメージ層19をアッシング処理（酸素プラズマで表面を叩く処理）で部分的に除去したのち、ポリイミドはエッチングしない液体でウェット処理を行う。これにより、エッチング時のポリイミド膜15のダメージを回復し、パッド13上のデポ物18を効率的に除去する。



## 【特許請求の範囲】

【請求項1】 半導体基板の表面上に絶縁膜を介して電極パッドを形成する工程と、

前記電極パッド上にカバー膜を形成する工程と、  
前記カバー膜上にポリイミドを塗布して、前記カバー膜上にポリイミド膜を形成し、キュアする工程と、  
前記ポリイミド膜をパターン加工して、前記電極パッド上部の前記カバー膜に達する開口を形成する工程と、  
パターン加工した前記ポリイミド膜をマスクとして、前記開口を介して前記カバー膜をエッチングし、前記電極パッドに達するパッド開口部を形成する工程と、  
前記電極パッド上に堆積したデポ物および前記ポリイミド膜上のダメージ層をアッシング処理で部分的に除去したのち、ポリイミドはエッチングしない液体でウェット処理を行うことにより前記デポ物および前記ダメージ層を除去する工程とを含む半導体装置の製造方法。

【請求項2】 前記カバー膜をエッチングするためのエッチングガスとしてふっ素系ガスを用いることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記ウェット処理を行う液体は、ふっ酸又はテトラ・メチル・アンモニウム・ハイドロオキシド(TMAH)のいずれかであることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特に、工程短縮を目的としてポリイミド膜をマスクとしてカバー膜をエッチングするプロセスフローに関する。

## 【0002】

【従来の技術】周知のように、半導体装置の表面保護膜(パッシベーション膜)には、半導体表面の傷防止、耐湿性向上を目的として窒化膜を使用している。表面保護膜はカバー膜とも呼ばれる。一方、樹脂封止形パッケージにおいてはモールド樹脂の応力により表面保護膜や半導体装置にクラックが入るという問題がある。この問題を解決するために、表面保護膜(カバー膜)の上にストレスバッファ膜としてポリイミド膜のような有機膜を付ける方法が一般的となりつつある。

【0003】ところで、半導体基板上にアルミニウム(A1)からなる電極パッドが形成されるが、この電極パッドは外部配線と接続するための外部配線用取出電極として使用される。すなわち、電極パッドを外部に露出させる必要がある。そのためには、電極パッド上にあるカバー膜およびストレスバッファ膜(ポリイミド膜)に穴を開けて、パッド開口部を形成する必要がある。

【0004】電極パッドを外部配線用取出電極として露出させるためには、カバー膜およびストレスバッファ膜をそれぞれフォトリソグラフィ法により開口部分のみ除去させる必要がある。したがって、通常、フォトリソグ

ラフィー工程を2回行わなければならない。

【0005】半導体装置を製造する工程を短縮するために、ポリイミド膜をマスクとしてカバー膜をエッチングするプロセスフローが知られている(例えば、特開昭63-271939号公報、特開平1-166527号公報参照)。

【0006】以下、図2を参照して、従来のプロセスフローについて説明する。

【0007】まず、図2(a)に示すように、シリコン(Si)からなる半導体基板11上に絶縁膜12を介してアルミニウム(A1)からなる電極パッド13を形成する。この電極パッド13は前述したように外部配線用取出電極として使用される。次に、電極パッド13上に厚さ1μmのカバー膜14を形成する。カバー膜14の材質はSiONである。このカバー膜14上にポリイミドを回転塗布して、厚さ5~10μmのポリイミド膜15を形成し、プリバーク(キュア)する。このポリイミド膜15は、前述したように、リードフレーム(図示せず)とのストレスバッファ膜として使用される。

【0008】引き続き、図2(b)に示すように、フォトリソグラフィ工程を用いてポリイミド膜15を露光・現像して、ポリイミド膜15のパターン加工を行う。このとき、電極パッド13上のカバー膜14に達する開口16が形成される。その後、パターン加工を行ったポリイミド膜15をキュア(硬化)する。

【0009】次に、図2(c)に示すように、ポリイミド膜15をマスクにして、開口16の下部のカバー膜14をふっ素系ガスを用いてドライエッチングして、電極パッド13とのパッド開口部17を形成する。パッド開口部17の寸法は100μm□である。

【0010】最後に、図示はしないが、半導体基板11の裏面を所望の厚さ(例えば、0.2~0.3mm)になるまで研削する。

【0011】このように従来のプロセスフローでは、電極パッド13を露出する際に、フォトリソグラフィ工程を1回で済むようにしている。しかしながら、従来のプロセスフローでは、エッチングガスに起因するポリイミド膜へのダメージ(以下、エッチング時ダメージと呼ぶ)によってポリイミド膜の表面にエッチング時ダメージ層19が形成される。このため、ポリイミド膜とモールド樹脂との密着性が低下してしまう。さらに、図2(c)に示すような、電極パッド13上にデポ物(反応生成物、イミド、金属)18が生成、残留する。このため、ボンディングのシェア強度が低下してしまう。その結果、半導体装置の信頼性が低くなるという不具合がある。

【0012】このようなデポ物18を除去する技術も種々提案されている。例えば、特開平4-307937号公報(以下、先行技術Aと呼ぶ)には、電極パッド上に堆積したデポ物を除去し、ボンディング強度を向上させ

た「半導体素子の製造方法」が開示されている。この先行技術Aでは、デポ物をプラズマアッシングや光アッシングによるアッシング（灰化）処理またはヒドラジン系のエッチャントによるウェットエッチングでエッチング除去することにより、ボンディング強度を向上させ、カバー膜のクラックを防止している。

【0013】また、特開平4-275442号公報（以下、先行技術Bと呼ぶ）には、フォトリソグラフィ工程を2回行う技術であるが、アッシングではポリイミド膜の表面に変質層（以下、アッシング時ダメージ層とも呼ぶ）ができ、ポリイミド膜とモールド樹脂との密着性が低下するので、開口後、ウェット処理することにより、キュア時に電極パッド上に堆積した炭素系堆積物を、ポリイミド膜の表面に損傷を与えることなく除去するようにした「半導体装置の製造方法」が開示されている。すなわち、先行技術Bでは、プローブで堆積物に穴をあけ、過酸化水素水と硫酸の混合液（ウェット液）で、アルミニウム表面層とともに炭素系堆積物を除去し、これにより、ポリイミド膜の表面に損傷を与えるのを防止している。

【0014】

【発明が解決しようとする課題】しかしながら、先行技術Aのように、デポ物をアッシング処理だけで除去しようとすると、ポリイミド膜の表面にアッシング時ダメージ層が形成されるので、ポリイミド膜とモールド樹脂との密着性が低下してしまう。また、先行技術Aのように、ヒドラジン系のエッチャントを使用してウェットエッチングすると、ポリイミド膜がエッチングされ、膜厚が減少したり、ポリイミド膜の表面が荒らされてポリイミド膜とモールド樹脂との密着性が低下するという課題がある。

【0015】一方、先行技術Bでは、各パッドにプローブで一つ一つ穴をあけないと堆積物が除去できない。硫酸+過酸化水素水を使うため、ポリイミド膜が溶解する。本出願人は、実験により、ポリイミドを硫酸：過酸化水素水：水＝46：8：46重量%の混合液中に100℃で60分間ディップすると、ポリイミドは完全に溶解することを確認した。尚、先行技術Bの明細書中には、ディップ時間が明記されていないので溶解の程度は不明であるが、多少のダメージ（以下、ウェット時ダメージと呼ぶ）があると推察される。さらに、先行技術Bのように、デポ物をウェット処理だけで除去しようとしても、デポ物を完全に除去することはできない。何故なら、先行技術Bでは、図5に示されるように、ポリイミドをキュアする時にできる堆積物は炭化水素が主であり、親水性であるので、薬液が染み込み易いからである。これに対して、本発明が除去しようとするデポ物18は、図6（a）に示されるように、カバー膜14をふっ素系ガスでエッチングするため、上層にはふっ素Fが含まれた炭化水素、下層にはアルミニウムAlとふっ素

Fが含まれた炭化水素が堆積する。これらの堆積物はテフロンに似ており、疎水性であり、薬液が染み込み難い。

【0016】そこで、本発明の目的は、信頼性の高い半導体装置を製造できる方法を提供することにある。

【0017】本発明の他の目的は、ポリイミド膜とモールド樹脂との密着性の低下を防止できる、半導体装置の製造方法を提供することにある。

【0018】本発明のさらに他の目的は、ボンディングのシェア強度の低下を軽減することができる、半導体装置の製造方法を提供することにある。

【0019】

【課題を解決するための手段】本発明による半導体装置の製造方法は、半導体基板の表面上に絶縁膜を介して電極パッドを形成する工程と、電極パッド上にカバー膜を形成する工程と、カバー膜上にポリイミドを塗布して、カバー膜上にポリイミド膜を形成し、キュアする工程と、ポリイミド膜をパターン加工して、電極パッド上部のカバー膜に達する開口を形成する工程と、パターン加工したポリイミド膜をマスクとして、開口を介してカバー膜をエッチングし、電極パッドに達するパッド開口部を形成する工程と、電極パッド上に堆積したデポ物およびポリイミド膜上のダメージ層をアッシング処理で部分的に除去したのち、ポリイミドはエッチングしない液体でウェット処理を行うことによりデポ物およびダメージ層を除去する工程とを含む。

【0020】

【作用】図6（b）に示すように、デポ物およびダメージ層を軽くアッシングして、デポ物およびダメージ層にひびを入れたり、デポ物およびダメージ層を灰化除去して、薬液が染み込み易くしてから、ウェット処理で残りを取り除くようにした。

【0021】

【発明の実施の形態】以下、本発明の実施形態について図面を参照して詳細に説明する。

【0022】図1を参照して、本発明の一実施の形態による半導体装置の製造方法について説明する。図1

（a）～（c）の工程、すなわち、カバー膜14をエッチングする工程までは、図2（a）～（c）の工程と同様である。

【0023】この実施の形態では、ポリイミド膜15をキュアした後、カバー膜14をふっ素系ガスでエッチングするので、先行技術Bのように、キュア時に生ずる電極パッド13上の堆積物を除去する必要はない。その代わり、カバー膜14のエッチング時に生ずるふっ素含有炭化水素がデポ物18として電極パッド13上に堆積するので、これを除去する必要がある。また、カバー膜14のエッチングによって、ポリイミド膜15の表面にエッチング時ダメージ層19が形成されるので、これも除去する必要がある。なお、このエッチング時ダメージ層

19は、ふっ素系ガス・エッチングによるポリイミド変質層と、電極パッド13上に堆積されたものと同様なふっ素含有炭化水素のデポ物とから成る。即ち、エッチング時ダメージ層19はポリイミド膜15とは組成が異なる。

【0024】図1(d)において、カバー膜14のエッチング後に、電極パッド13上に堆積したデポ物18およびポリイミド膜15の表面に形成されたエッチング時ダメージ層19をアッシング処理(酸素プラズマで表面を叩く処理)で部分的に除去したのち、ポリイミド膜15はエッチングしない液体でウェット処理を行う。これにより、エッチング時のポリイミド膜15のダメージを回復し、電極パッド13上のデポ物18およびポリイミド膜15上のエッチング時ダメージ層19を効率的に完全に除去することができる。ここで、アッシング処理では、ポリイミド膜15上のエッチング時ダメージ層の一部にだけ影響を受けるが、ポリイミド膜15にはほとんどアッシングの影響がないことに注意願います。

【0025】ここで、アッシングにはバッチ式と枚葉式の2種類がある。バッチ式とは、1ロット50枚のウエハをまとめて同時に処理する方法である。枚葉式とは、ウエハを1枚づつ炉に入れて処理する方法である。本実施の形態におけるアッシングの条件は次の通りである。

【0026】バッチ式では、100～500Wの高周波電力で、100～200sccmの酸素ガス流量で、0.5～1Torrの真空度の下で5～15分間処理する。

【0027】枚葉式では、700～1000Wの高周波電力で、200～300sccmの酸素ガス流量で、0.5～1Torrの真空度の下で10～60秒間処理する。

【0028】また、ウェット処理に用いる薬液としては、ポジ現像液、ふっ酸等を使用できる。薬液はこれらに限定せず、ポリイミド膜15に対してダメージを与えない他の薬液を使用することができる。

【0029】ウェット処理の具体例は、図1(c)に示すものを、ふっ酸で漬浸(ディップ)する方法と、レジスト現像液を開口16を塞ぐように、液盛り(パドル)する方法とを採用できる。ディップの条件は、ふっ酸の1～5重量%水溶液を室温(20～25℃)で3～10分間行う。一方、パドルの条件は、濃度2.38%のテトラ・メチル・アンモニウム・ハイドロオキシサイド(TMAH)などのレジスト現像液を室温中で15～60秒間行う。ここで、TMAHは、キュア前のポリイミドに対してはエッチング液として使用できるが、キュア後のポリイミドに対してはエッチング能力がないことに注意されたい。ウェット処理した後、水で洗浄する。

【0030】このアッシングおよびウェット処理工程の後に、半導体基板11の裏面を研削することにより、ウエハを必要な厚さまで研削する。

【0031】上述したように、カバー膜14のエッチング後にアッシングおよびウェット処理を行うことによって、ボンディングパッド13上に堆積するデポ物18を除去して電極パッド13の表面を露出させ、かつ、ダメージを受けたポリイミド膜15の表面層とふっ素含有炭化水素のデポ物(エッチング時ダメージ層19)を除去することができるので、ボンディング・シェア強度を向上させることができ、ポリイミド膜15とモールド樹脂(図示せず)との密着性を向上させることができる。

【0032】図3に、従来(図2)と実施の形態(図1)におけるポリイミド・モールド樹脂間密着性を示す。ここでは、PCT(プレッシャ・クッカー・テスト)を行い、PCTの前後でせん断強度試験を50回行ない、その平均値(●)と分布を示す。PCTとは、被試験物を圧力鍋に入れて、加熱、加圧して耐湿性を測る信頼性試験方法である。ここでのPCTのテスト条件は、1.4kg/cm<sup>2</sup>の気圧で、125℃の温度雰囲気中被試験物を18時間保管した。また、せん断強度試験方法は、半導体基板上に2×2mm角柱状のモールド樹脂を形成し、これに横方向から力を加え、モールド樹脂が基板から剥がれたときの力を測定した。

【0033】PCT前では、従来および実施の形態において、せん断強度にほとんど差がみられない。しかしながら、PCT後においては、従来では、PCT前よりもせん断強度が低下するのに対して、実施の形態では、PCT前に比較して僅かにせん断強度が低下するだけである。したがって、実施の形態の方が、従来に比較して、ポリイミド・モールド樹脂間密着性が良好であることが分かる。

【0034】図4に、従来(図2)と実施の形態(図1)におけるボンディング・シェア強度を示す。ボンディング・シェア強度試験方法は、パッド上の金線をボンディングし、これに横方向から力を加え、金線が基板から剥がれたときの力を50回測定し、その平均値(●)と分布を示す。

【0035】図4から明らかなように、実施の形態の方が従来に比較して、ボンディング・シェア強度が高いことが分かる。

【0036】本発明は上述した実施の形態には限定せず、本発明の趣旨を逸脱しない範囲内で種々の変更が可能である。例えば、上記実施の形態では、カバー膜をエッチングするためのエッチングガスとしてふっ素系ガスを用いているが、エッチングガスはこれに限定しないのは勿論である。エッチングガスとしては、例えば、塩素系ガスやアルゴンなどの不活性ガスを使用しても良い。

【0037】

【発明の効果】以上の説明より明らかなように、本発明の半導体装置の製造方法では、カバー膜をふっ素系ガスでエッチングしたときに電極パッド上に堆積するデポ物およびポリイミド膜上のエッチング時ダメージ層を、軽

くアッシングしてからウェット処理することで、ポリイミド膜に与えるダメージを最小限にして、デボ物を除去することができる。また、先行技術Bのように、プローブで堆積物に穴をあける必要がないので、手間がかからず、短時間で処理でき、プローブでパッドに傷つけることもない。さらに、ふっ酸やTMAHでウェット処理するので、ポリイミド膜をエッチングすることがない。したがって、ポリイミド膜とモールド樹脂との密着性を良くし、かつボンディング・シェア強度を向上させることができる。これにより、信頼性の高い半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の製造方法における製造工程を示す断面図である。

【図2】従来の半導体装置の製造方法における製造工程を示す断面図である。

【図3】従来と実施の形態におけるポリイミド・モールド樹脂間密着性を示す図である。

【図4】従来と実施の形態におけるボンディング・シェア強度を示す図である。

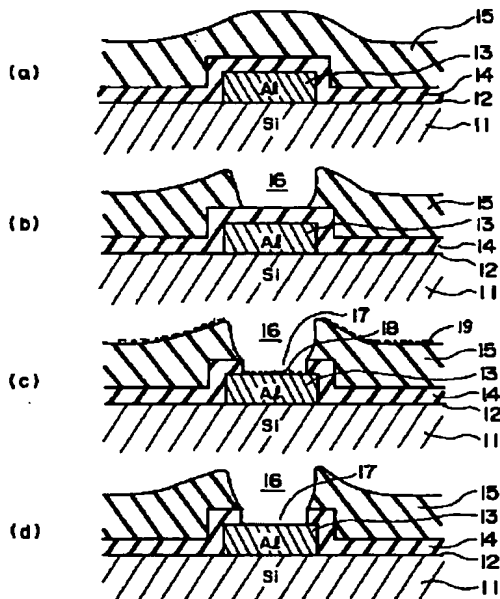
【図5】特開平4-275442号公報（先行技術B）において除去しようとする堆積物（デボ物）を示す断面図である。

【図6】本発明が除去しようとする堆積物（デボ物）を示す断面図で、(a)はエッチング後の拡大図、(b)はアッシング後の拡大図である。

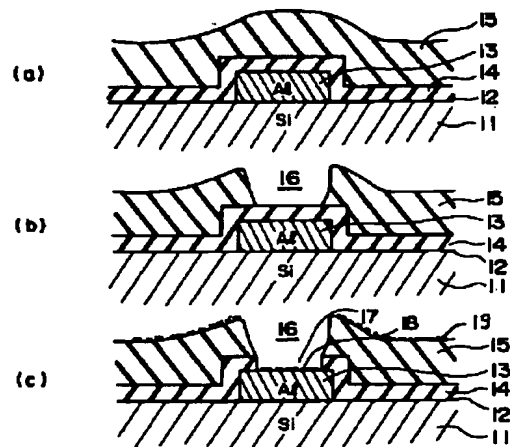
【符号の説明】

- 11 半導体基板 (Si)
- 12 絶縁膜
- 13 電極パッド (Al)
- 14 カバー膜
- 15 ポリイミド膜
- 16 開口
- 17 パッド開口部
- 18 デボ物 (堆積物)
- 19 エッチング時ダメージ層

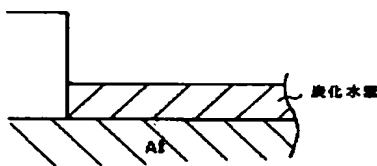
【図1】



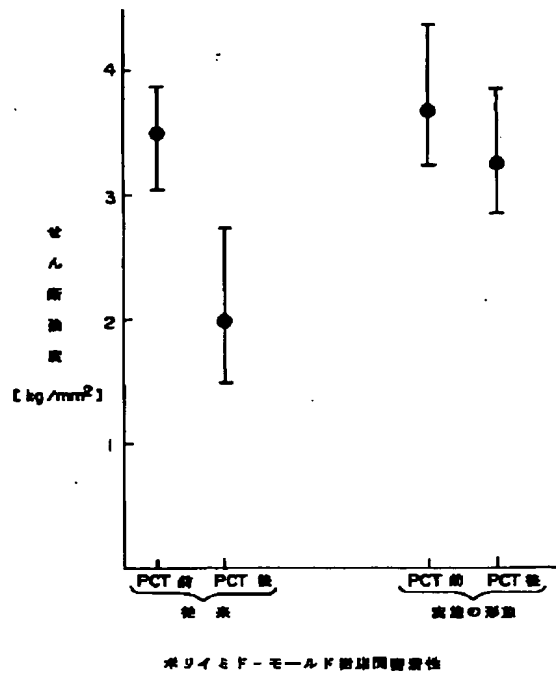
【図2】



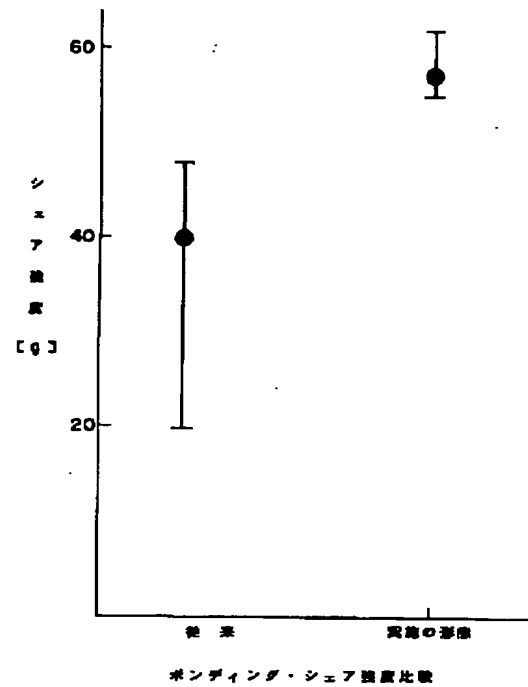
【図5】



【図3】



【図4】



【図6】

